

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-171758

(43)Date of publication of application : 18.06.1992

(51)Int.Cl.

H01L 27/10

H01L 49/02

(21)Application number : 02-298230

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 02.11.1990

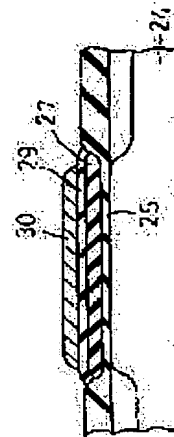
(72)Inventor : MORIMOTO MASAMICHI
NAKANO HIROSHI

(54) SEMICONDUCTOR MEMORY OF MIM STRUCTURE

(57)Abstract:

PURPOSE: To make a switching speed high by a method wherein a switch of an MIN structure holding bipolar information is used as an element for input and the information is written thereby in a ferroelectric substance.

CONSTITUTION: A gate oxide film 25 is formed on a semiconductor substrate 24, and a ferroelectric film 27 is formed in the upper layer of the film 25. Moreover, a tunnel insulation film 29 of a Langmuir-Blodgett film to serve as an MIN switch and a second conductor film 30 are formed in lamination. It is unnecessary to provide a wiring for connecting the layers in lamination, a leak can be made small and it is made possible to hold a written polarization charge as it is and to impress it on a gate, and to read it out directly. According to this constitution, a readout speed can be made high by using the switch of an MIN structure which holds bipolar information by a simple structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-171758

⑬ Int. Cl.⁵

H 01 L 27/10
49/02

識別記号

3 1 1

庁内整理番号

8624-4M
7013-4M

⑭ 公開 平成4年(1992)6月18日

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 MIM構造半導体メモリ

⑯ 特 願 平2-298230

⑰ 出 願 平2(1990)11月2日

⑱ 発 明 者 森 本 正 倫 東京都渋谷区幡ヶ谷2丁目43番2号 オリナス光学工業株式会社内

⑲ 発 明 者 中 野 洋 東京都渋谷区幡ヶ谷2丁目43番2号 オリナス光学工業株式会社内

⑳ 出 願 人 オリナス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

㉑ 代 理 人 弁理士 坪 井 淳 外2名

明 細 書

1. 発明の名称

MIM構造半導体メモリ

2. 特許請求の範囲

1. 半導体基板上に形成される絶縁膜を介して設けられたゲート電極及び、該ゲート電極の両側に形成された電流通路電極からなる出力手段と、

前記出力手段のゲート電極上に形成された強誘電体膜からなる分極電荷蓄積手段と、

前記分極電荷蓄積手段の強誘電体膜上に形成される第1の導電膜—ラングミュア・プロジェクト膜の絶縁体トンネル層—第2の導電膜のMIM構造の非線形導電率素子からなる入力手段とを具備することを特徴とするMIM構造半導体メモリ。

2. 半導体基板上に形成されたゲート酸化膜及び、該ゲート酸化膜の両側に形成された電流通路電極からなる出力手段と、

前記ゲート酸化膜上に直接形成された強誘電体ラングミュア・プロジェクト膜からなる分極電荷蓄積手段と、

前記強誘電体ラングミュア・プロジェクト膜上に形成された絶縁体トンネル層及び該絶縁体トンネル層上に形成された導電膜からなる入力手段とで構成され、積層された各手段が直接接続され、書き込まれたデータを分極電荷として保持し、該分極電荷で直接前記出力手段を駆動させてデータ出力させることを特徴とするMIM構造半導体メモリ。

3. MIM積層構造の前記非線形導電率素子と前記強誘電体キャパシタとが直列接続され、その接続箇所から整流素子を介して前記出力手段の制御電極に接続され、前記整流素子の出力される分極電荷を一時的に保持するキャパシタが接続され、強誘電体キャパシタが分極電荷からデータを読み出すにあって、分極電荷の閾値電圧以上の電圧を強誘電体キャパシタに印加することにより、一時的に前記キャパシタに格納させた後、出力手段の制御電極を駆動させて出力することを特徴とする請求項1記載のMIM構造半導体メモリ。

4. 前記MIM構造半導体メモリの各セルが3

次元的に配置されたアレイ構造を有する請求項 1 記載の MIM 構造半導体メモリ。

5. 前記 MIM 構造半導体メモリの各セルが 3 次元的に配置されたアレイ構造を有する請求項 2 記載の MIM 構造半導体メモリ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体メモリ装置に係り、特に導電体 (Metal)-絶縁物 (Insulator)-導電体 (Metal) の MIM 構造の非線形導電率素子を有するメモリ装置に関する。

(従来技術)

一般に格納されるデータの保持時間が原理的には、無限大という特徴を持つ強誘電体からなる記憶保持部 (媒体) が用いられる半導体メモリ装置がある。この半導体メモリ装置を構成するには、前記記憶保持部のほかに、データを読出し/書込みする制御を行うスイッチ部が必要となる。

前記スイッチ部には、通常、MOS スイッチ若しくは、MIM スイッチが用いられている。

- 3 -

セルと称する) 3 を格子状に配置した X, Y アドレス型の 2 次元メモリアレイである。

この 2 次元メモリアレイへの書込みは、前記 X, Y アドレスの X, Y ライン 4, 5 のそれぞれ 1 ラインを選択して所望セルに書込みを行う。

また読出しは、同様に所望セル 3 を選択して、前記書込みに対して逆バイアスを印加して読出し、読出されたデータをキャパシタ 6 に充電して、アンプ 7 によって充電されたキャパシタ電圧を増幅して読み出すことにより行う。

そして第 8 図は、前記 MIM セルの積層構造を示す断面図である。

この構造は、例えば、絶縁性を有するガラス等の基板 8 上に第 1 導電体電極 9 が形成される。その導電体電極 9 上に絶縁体膜 10 を形成し、さらにその上層に第 2 導電体電極 11 を形成している。そして第 2 導電体電極 11 に入力端子 V_{in} 及び、第 1 導電体電極 9 に出力端子 V_{out} が設けられている。さらに前記第 1 導電体電極 9 には、一端が接地されるキャパシタ 12 の他端が接続されてい

- 5 -

これらのスイッチの特徴として、MIM スイッチは、比較的形成し易く、また、記憶保持部上にも形成できる便利なスイッチである。しかし切換え動作に関しては、MOS スイッチより動作が遅い。

このような MIM スイッチを用いたメモリ素子には、例えば、本発明出願人が出願した特願平 1-84446 号に開示される第 7 図に示した MIM スイッチとキャパシタを組み合わせて 1 セルとし、該セルを 2 次元アレイに形成したメモリ素子がある。

このメモリ素子には、強誘電体キャパシタが用いられていないが、キャパシタ材料に強誘電体を用いるものとして、本発明出願人が出願した特願平 1-245260 号に開示されている。このメモリ素子は、情報担体に関して、分極電荷をどちらに担わせるか区別されていず、又その使い分けが行われていない。

第 7 図の 2 次元アレイは、MIM スイッチ 1 とキャパシタ 2 の直列接続したセル (以下、MIM

- 4 -

る。

また、「R.Vomack et al Proc.of IEEE ISCC 1989 P242~243」には、半導体基板上に形成される MOS スイッチをデータの入出力用スイッチとして用いた強誘電体メモリに関することが記載されている。

この MOS スイッチを用いた強誘電体メモリ構成を第 9 図に示す。

すなわち、各セルは、強誘電体キャパシタ 13 と MOSFET 14 からなるメモリ素子 15 である。前記メモリ素子 15 はワード線 16 とビット線 17a, 17b にそれぞれ接続され、格子状に配置されている。そして所望のメモリ素子 15 を選択してアドレスとデータの入出力が行われる。ここから読み出されたデータ出力はセンスアンプ 18 で読み取られる。

(発明が解決しようとしている課題)

しかし、前述した従来の MIM スイッチとキャパシタ (強誘電体キャパシタを含む) からなるメモリ素子は、データの呼び出される速度が、最高

- 6 -

速度でも、 $10\mu\text{sec}$ 程度と他の構造のメモリ素子と比較すると遅い。

ところが、処理時間の高速化に伴い、入力時間以上に高速アクセスを要求されている。他にも、従来の前記メモリ素子の構成では、MIMスイッチが両極性スイッチとしての特徴が必ずしも十分利用されていない。

また、MOSスイッチを用いたメモリ素子においては、MOS構造に形成するにあって、製造工程が複雑であり、集積化するために多くの問題点が残されている。さらに従来から多用されるMOSスイッチを用いたメモリ素子は、1個のMOSスイッチで複数のセルのデータの入出力制御を行っているため、本来のMOSスイッチの有するスイッチング駆動性能を低下させて使用されている。

そこで、本発明は、構造が簡素化されスイッチング駆動が高速で両極性を有するMIMスイッチで構成されたメモリ素子を提供することを目的とする。

— 7 —

チが形成できるため構造の簡素し高集積化が図れる、と共に前記強誘電体膜への正負電極双方の分極電荷と同一スイッチで書き込みができるため、構造が簡略化され集積度が向上できる。また、格納された情報が電荷の形で長時間に渡って直接的に読出しすることが可能になる。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図(a)乃至(c)は、本発明に係る第1実施例として、メモリ素子の回路構成を示し、第2図(a)及び(b)はそのメモリ素子の積層構造を示す。

すなわち第1図(a)に示すメモリ素子の回路構成は、MIMスイッチ20が強誘電体キャパシタ21を介してノーマリオン型のMOSFET 22のゲートと直列接続されて構成される。そして前記MIMスイッチ20の他方は、複数の書き込み線のうちの1つの書き込み線Wxに接続される。また前記MOSFET 22の電流通路は、一端が

— 9 —

(課題を解決するための手段)

本発明は上記目的を達成するために、半導体基板上に形成された絶縁膜を介して設けられたゲート電極と該ゲート電極の両側に形成された電流通路電極からなる出力手段と、前記出力手段のゲート電極上に形成された強誘電体膜からなる分極電荷蓄積手段と、前記分極電荷蓄積手段の強誘電体膜上に形成される第1の導電膜—ラングミュア・プロジェクト膜の絶縁体トンネル層—第2の導電膜のMIM積層構造の非線形導電率素子からなる入力手段とで構成されるMIM構造半導体メモリを提供することができる。

(作用)

以上のように構成されたMIM構造の半導体メモリ素子は、入力用素子としての両極性(正負)の情報も保持できるMIM構造のスイッチを用いて、強誘電体への書き込み手段としてすぐれ、且つ読出し速度の高速化($10\sim 100\text{ns}$)ができる。

さらに前記強誘電体膜上にMIM構造のスイッ

— 8 —

書き込み線若しくは読出し線(Wy, Ry)に接続され、他端が1つの読出し線Rxに接続される。

また、第1図(b)は前記MIMスイッチ20の等価回路の構成を示す。つまり前記MIMスイッチ20は、非線形導電率素子であり、絶縁トンネル膜を両側から金属膜で挟んだ構造を有するため、電流が双方向に流れるように配置されたダイオード20aと、これに並列接続されたキャパシタ20bによって構成されている。

そして第1図(c)には、強誘電体キャパシタ21の等価回路の構成を示す。つまり、いずれか一方に流れる電流源21aと、これに並列接続されたキャパシタ21bによって構成されている。

そして第2図(a)に示すように、そのメモリ素子の積層構造は、まず半導体基板24上にゲート酸化膜25が形成される。さらに前記ゲート酸化膜25上にフローティングゲート電極26が形成される。このフローティングゲート電極26を覆うように、例えばポリイミド等の強誘電体膜27が形成される。

— 10 —

さらに前記強誘電体膜 27 上に MIM スイッチとなる第 1 の導電体膜 28 とトンネル絶縁膜 29 と第 2 の導電体膜 30 とが積層されて形成される。

また、第 2 図 (b) に示した構造は、半導体基板 24 上にゲート酸化膜 25 が形成され、その上層に強誘電体膜 27 が形成される。さらに前記強誘電体膜 27 上にラングミュア・プロジェクト膜のトンネル絶縁膜 29 と第 2 の導電体膜 30 とが積層されて形成される。

これは MIM スイッチ 20 が MOSFET 22 のゲートに強誘電体キャパシタ 21 を介して接続させる方法として、第 2 図 (b) のように直接的に、又は第 2 図 (a) のように間接的にゲート酸化膜上に強誘電体膜を設ける場合である。

そして第 2 図 (a) 及び (b) のどちら構造も、積層された各層が、後述する第 4 図に示す構造のように各層を接続するための配線を設ける必要がなく、リークも非常に小さく抑えることができる。

従って、書き込まれた分極電荷はそのまま保持され、第 1 図の示す前記強誘電体膜 27 の有する

— 11 —

ード 32 のカソードは、並列接続された抵抗 R_x とキャパシタ C_R を介して設置されている。

また、前記 MOS トランジスタ 33 の電流通路の一方は読出し線 R_x に接続され、その他方は読出し線 R_y に接続されている。

そしてこのような構成のメモリ装置は、強誘電体キャパシタ 31 と MOS トランジスタ 33 間には、配線等を通して弱い電流漏れが生じる。そのため一旦データが書き込まれた分極電荷は、いずれは中和状態になる。

従って、この分極電荷からデータを読み出すには、電極電荷に閾値電圧以上の電圧を強誘電体キャパシタ 31 に印加することにより、一時的に前記キャパシタ C_R に格納させ、その後、MOS トランジスタ 33 のゲートを通して読出し線に読み出している。しかしこのような読出しは、破壊読み出すになるため、再書き込みさせてデータを保持させることが必要である。

そして第 4 図にこのメモリ素子の積層構造を示す。

— 13 —

並列容量にたまる電荷によって中和する効果を見ることができる。よって、第 1 図に示す構成で分極電荷をゲートに印加して直接読取ることが可能である。

なお、前記 MOSFET 23 にノーマリオン型を用いたのは、ノーマリオフ型では、例えば n チャンネルの場合、負信号が入力されたときゲート電圧により前記半導体基板 24 とチャンネル間で短絡する可能性がある。

次に第 2 の実施例として、第 3 図にメモリ素子の回路構成を示し、第 4 図にはそのメモリ素子の積層構造を示す。

第 3 図に示すように、MIM スイッチ 30 の一方は、抵抗 R_1 が並列接続する強誘電体キャパシタ 31 の一方に接続される。また前記 MIM スイッチ 30 の他方は、複数の書き込み線のうちの 1 つの書き込み線 W_x に接続され、前記強誘電体キャパシタ 31 の他方は書き込み線 W_y に接続される。

さらに前記 MIM スイッチ 30 の他方は、正方向のダイオード 32 を介して、MOS トランジスタ 33 のゲートに接続される。そして前記ダイオ

— 12 —

このメモリ素子の構造は、まず半導体基板 34 上にフィールド絶縁膜 35 とゲート絶縁膜 36 が形成される。そして前記ゲート絶縁膜 36 上にゲート電極膜 37 が形成され、さらに前記フィールド絶縁膜 35 上に前記ゲート電極膜 37 に接続する金属からなる配線膜 38 が形成される。

さらに前記配線膜 38 上に強誘電体膜 39 が形成され、前記強誘電体キャパシタ 31 を構成する。そして前記強誘電体膜 39 上には、第 1 導電体膜 40 - ラングミュア・プロジェクト膜のトンネル絶縁膜 41 - 第 2 導電体膜 42 の MIM 構造の前記 MIM スイッチ 30 が形成される。

次に第 5 図は第 4 図のメモリ素子のセルを並べて 2 次元アレイに構成したメモリ装置である。

このメモリ装置は、前述したメモリ素子のセル 51 を格子状に配置して、書き込み線 W_x 、 W_y と読出し線 R_x 、 R_y でそれぞれ配線したものである。

そして、読出しは、MOS トランジスタ 52 の電流通路 (ソース・ドレイン間) に流れる電流を

— 14 —

電流アンプ53等で出力される。ただし、簡略化のため、前記セルにおけるキャパシタC₅は省略し、前記MOSトランジスタ52のゲート容量で代用している。この場合は、前記強誘電体キャパシタ54を前記MOSトランジスタ52とは別の場所に形成して配線で、前記強誘電体キャパシタ54と前記MOSトランジスタ52のゲートを接続している。

次に第6図に第3の実施例として、メモリ素子の回路構成を示す。

このメモリ素子は前述した実施例1のメモリ素子を改良したものであり、書き込み線W_xに接続されたMIMスイッチ55が強誘電体キャパシタ56に直列接続して、この強誘電体キャパシタ56が、読み取り用のインバータ接続されたMOSトランジスタの各ゲートに接続している。前記MOSトランジスタは、nチャンネル形MOSトランジスタ57とpチャンネル形MOSトランジスタ58の2個のトランジスタがインバータ接続されたものである。

- 15 -

〔発明の効果〕

以上詳述したように本発明によれば、構造が簡素で高集積化され、スイッチング駆動が高速で両極性の情報も保持できるMIM構造のスイッチで構成されたメモリ素子を提供することができる。

4. 図面の簡単な説明

第1図(a)乃至(c)は本発明に係る第1実施例のメモリ素子の回路構成を示す回路図、第2図(a)及び(b)は第1実施例のメモリ素子の積層構造を示す構造図、第3図は第2の実施例のメモリ素子の回路構成を示す回路図、第4図は第2の実施例のメモリ素子の積層構造を示す構造図、第5図は第4図のメモリ素子のセルを並べて2次元メモリアレイに構成した構成図、第6図は第3の実施例のメモリ素子の回路構成を示す回路図、第7図はMIMセルを格子状に配置したX₁、Yアドレス型の2次元メモリアレイの構成図、第8図は第7図のMIMセルの積層構造を示す断面図、第9図はMOSスイッチを用いた強誘電体メモリの構成を示す構成図である。

- 17 -

特開平 4-171758(5)

すなわち、前記強誘電体キャパシタ56からインバータ接続されたMOSトランジスタの各ゲートに蓄込まれた電荷の正負に応じて、どちらか一方のMOSトランジスタが動作して、そのデータが読み取れるように構成されている。

以上のように構成されたMIM構造の半導体メモリ素子は、入力用素子としての両極性(正負)の情報も保持できるMIM構造のスイッチを用いて、強誘電体への書き込み手段としてすぐれ、且つ読み出し速度の高速化(10~100nsec)ができる。

さらに前記強誘電体膜への正負電極双方の分極電荷と同一スイッチで書き込みができるため、構造が簡略化され集積度が向上できる。また、格納された情報が電荷の形で長時間に渡って直接的に読み出しすることが可能になる。

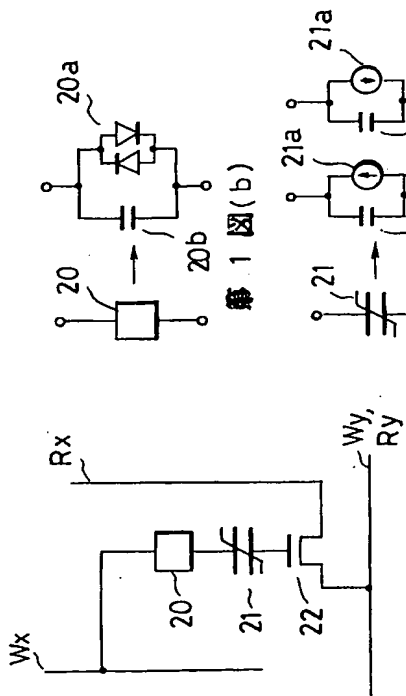
また本発明は、前述した実施例に限定されるものではなく、他にも発明の要旨を逸脱しない範囲で種々の変形や応用が可能であることは勿論である。

- 16 -

1, 20...MIMスイッチ、2, 6, 20b...キャパシタ、3...MIMセル、7...アンプ、20a...ダイオード、21...強誘電体キャパシタ、21a...電流源、22...ノーマリオン型MOSFET、24...半導体基板、25...ゲート酸化膜、26...フローティングゲート電極、27...強誘電体膜、28...第1の導電体膜、29...トンネル絶縁膜、30...第2の導電体膜、W_x, W_y...書き込み線、R_x, R_y...読み出し線。

出願人代理人 弁理士 坪井 淳

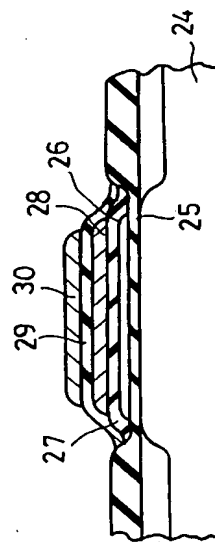
- 18 -



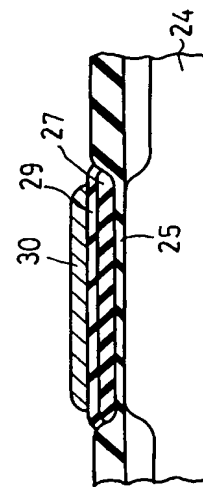
第 1 図 (a)

第 1 図 (b)

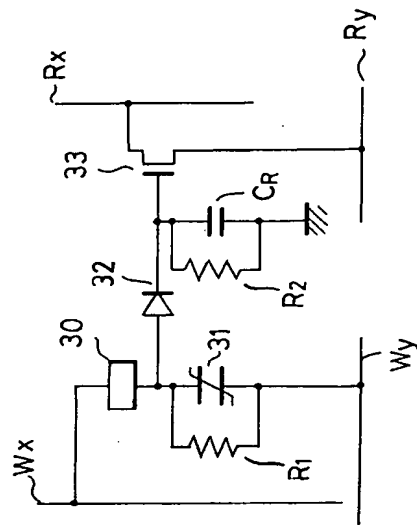
第 1 図 (c)



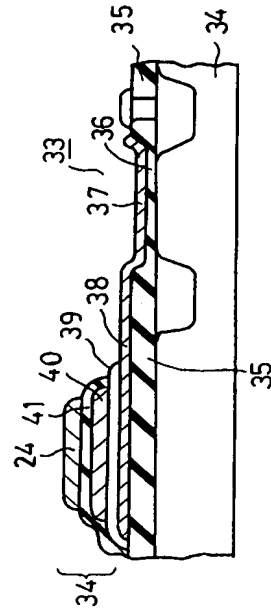
第 2 図 (a)



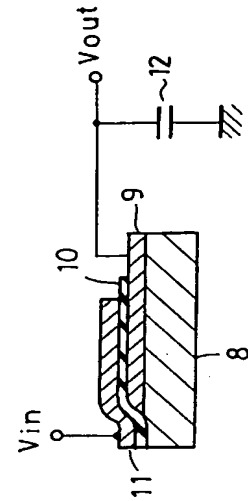
第 2 図 (b)



第 3 図



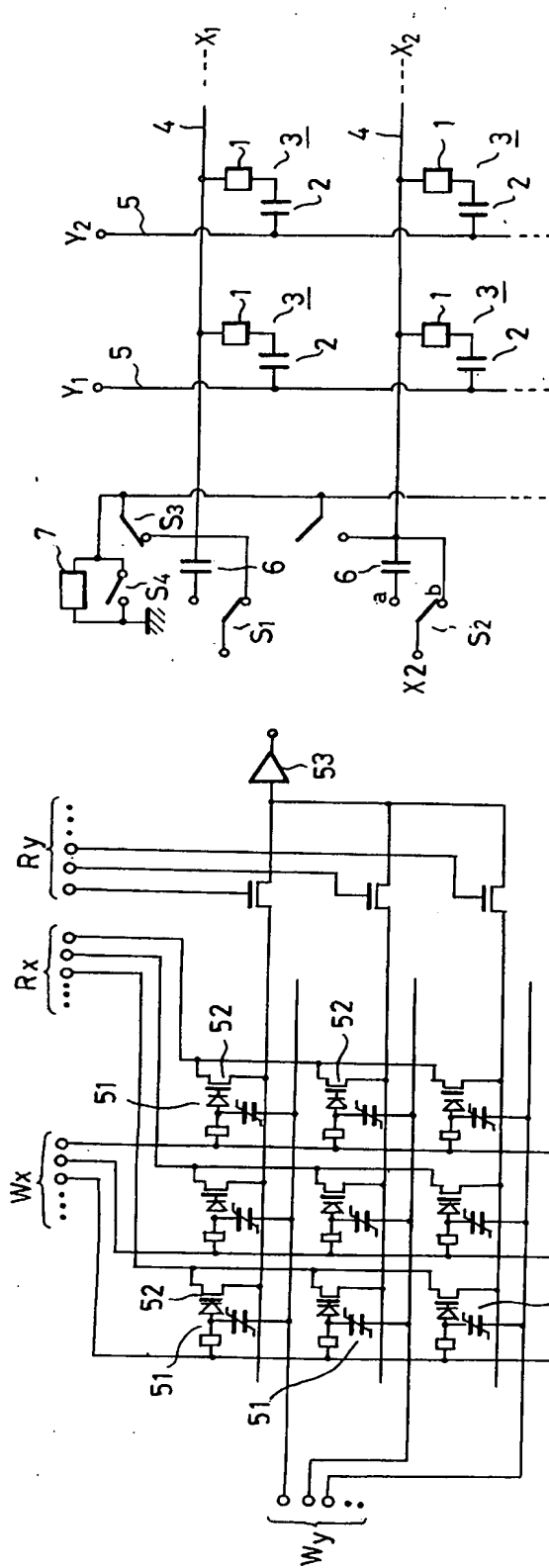
第 4 図



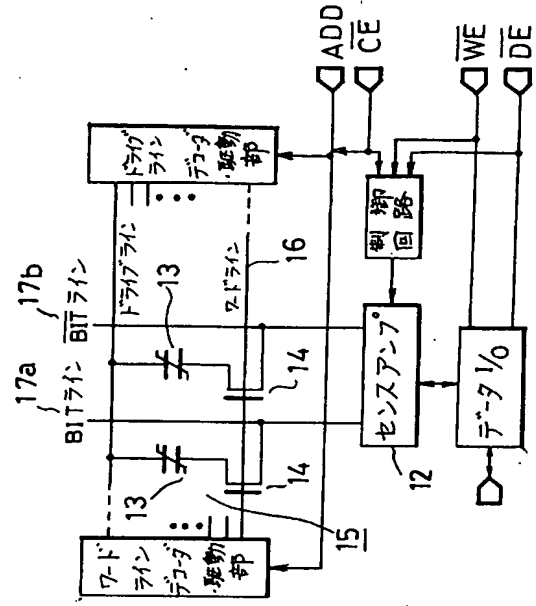
第 8 図

(7)

特開平 4-171758(7)

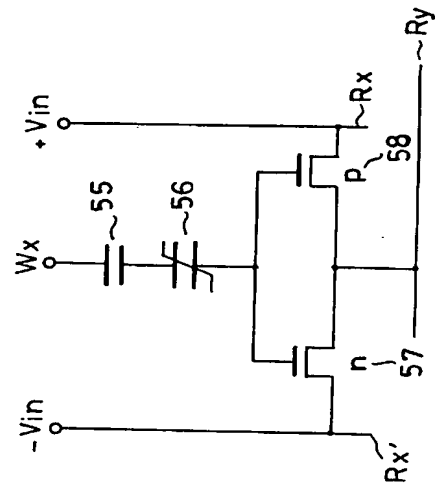


第 7 図



第 9 図

第 5 図



第 6 図